

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the skew correction circuit which starts a skew correction circuit, especially amends the skew between the transmission lines of a parallel connected type transmission line.

[0002] In information machines and equipment, such as a calculating machine and the exchange, in order to form a data link, the juxtaposition signal-line way is used.

[0003] Moreover, in connection with the data transfer of improvement in the speed of the interface of information machines and equipment in recent years, and large-capacity-izing, the transmission line of an optical array link etc. is used as the transmission line.

[0004] In the transmission line of an optical array link etc., the skew between the parallel transmission ways after changing into the electrical and electric equipment (gap) is made into a problem from light from the electrical and electric equipment at light. In the information machines and equipment using a parallel transmission way, since positive data transmission becomes impossible by the skew between parallel transmission ways, it is necessary to cancel the skew between transmission lines.

[0005]

[Description of the Prior Art] Conventionally, in order to decrease the skew between transmission lines, it is made to lessen manufacture dispersion, such as IC (integrated circuit) lens changed into the electrical and electric equipment from light and light, and a connector, as much as possible from the electrical and electric equipment on parallel transmission ways, such as an optical array link.

[0006] Moreover, the clock dedicated line was prepared apart from the transmission line as another approach, the transmission signal of a transmission line was hit again with the clock signal transmitted by the clock dedicated line, and the skew was amended.

[0007]

[Problem(s) to be Solved by the Invention] However, in order to have to make the conditions of manufacture management severe if the approach of decreasing the manufacture variation of each equipment, such as an optical/electrical converter, is used when it is going to decrease the skew between parallel transmission ways conventionally, the yield of equipment will fall.

[0008] Moreover, the clock was transmitted with transmission data using the clock dedicated line, and by the approach of hitting data again with the transmitted clock and decreasing a skew, since the clock dedicated line other than the data transmission line was needed, there was a trouble of a system becoming expensive.

[0009] This invention was made in view of the above-mentioned point, is an easy configuration and aims at offering the skew correction circuit which can amend the skew between parallel transmission ways.

[0010]

[Means for Solving the Problem] Drawing 1 shows the principle block diagram of this invention. The detection means 2 detects the edge of one transmission signal from the edge which should serve as the

same timing of two or more transmission signals which transmit the parallel transmission way 1-1 - 1-n.
 [0011] The amendment signal generation means 3 generates the amendment signal according to the period of the edge detected with the detection means 2.

[0012] The amendment means 4 is synchronized with the amendment signal generated with said amendment signal generation means 3, and carries out the coincidence output of the edge of two or more of said transmission signals, respectively.

[0013]

[Function] One edge is detected, according to the timing of this detection edge, an amendment signal is generated, is synchronized with the amendment signal of generated 1, and the edge of a transmission signal is made in agreement from the edge which should be generated to the same timing among transmission signals. For this reason, the gap produced between edges can be made in agreement with the timing which synchronized with the amendment signal.

[0014]

[Example] Drawing 2 shows the block diagram of the 1st example of this invention. 1a-1 - 1 a-n shows an input-side transmission line among this drawing. Input-side transmission-line 1a-1 - 1 a-n is connected with output side transmission-line 1b-1 - 1 b-n through the skew correction means 4. The skew correction means 4 consists of D flip-flop 4-1 corresponding to a transmission line 11-1 - 11-n - 4-n.

[0015] Input-side transmission-line 1a-1 - 1 a-n is connected with the data input terminal D of D flip-flop 4-1 - 4-n, and output side transmission-line 1b-1 - 1 b-n is connected with the output Q of D flip-flop 4-1 - 4-n. By supplying the same clock to the clock terminal of D flip-flop 4-1 - 4-n, the transmission signal of input-side transmission-line 1a-1 - 1 a-n is hit again, and it is outputted to output side transmission-line 1b-1 - 1 b-n, and considers as the configuration which takes the synchronization between each transmission-line 11-1 - 11-n. Input-side transmission-line 1a-1 - 1 a-n and output side transmission-line 1b-1 - 1 b-n are connected to the detection means 2. The detection means 2 consists of EXOR gate 2a-1 - 2 a-n and OR-gate 2b, input-side transmission-line 1a-1 and output side transmission-line 1b-1 are connected to the input of EXOR gate 2a-1, input-side transmission-line 1a-2 and output side transmission-line 1b-2 are connected to the input of EXOR gate 2a-2, and input-side transmission-line 1 a-n and output side transmission-line 1 b-n are similarly connected to the input of EXOR gate 2 a-n. It is the gate where an output becomes "L" spreading. EXOR gate 2a-1 - 2 a-n -- an input -- mutual -- etc. -- it spreads -- twisting -- the time -- an output -- "H" -- becoming -- an input -- mutual -- etc. -- When the signal of identitas transmission-line 1a-1, 1b-1; 1a-2, and 1b-2; 1 a-n and 1 b-n has change ("L" -> "H", "H" -> "L"), an output serves as "H".

[0016] The timing of the transmission signal of each transmission-line 1a-1-1 a-n is detectable with EXOR gate 2a-1 - 2 a-n.

[0017] The output of EXOR gate 2a-1 - 2 a-n is inputted into OR-gate 2b. The output which changed with OR-gate 2bs to the very first among the outputs of EXOR gate 2a-1 - 2 a-n is detected. The output of OR-gate 2b is supplied to the amendment signal generation means 3.

[0018] The amendment signal generation means 3 consists of delay circuit 3a, NAND gate 3b, frequency simplification circuit 3c, and limiter amplifier 3d. Delay circuit 3a comes to carry out series connection of inverter 3a-1 of odd level, and 3 a-m (m; odd number). The output of OR-gate 2b is inputted through delay circuit 3a, while being inputted into direct NAND gate 3b.

[0019] The trigger for which only the fixed time delay by delay circuit 3a was delayed by NAND gate 3b is generated. The output of NAND gate 3b is supplied to frequency simplification circuit 3c.

[0020] Frequency simplification circuit 3c is constituted by a filter, a tank circuit, the PLL (Phase Locked Loop) circuit, etc., and simplifies and outputs the frequency of the output trigger of NAND gate 3b. The output of frequency simplification circuit 3c is supplied and pulse-signal-ized by limiter amplifier 3d. A limiter amplifier 3d output pulse signal is inputted into the clock terminal of D flip-flop 4-1 prepared in each transmission-line 1a-1-1 a-n (a transmission line 13-1 - 13-n) as a clock signal - 4-n. Therefore, in D flip-flop 4-1 - 4-n, the transmission signal of each input-side transmission-line 1a-1-1 a-n is hit again with the same clock, and it outputs from output side transmission-line 1b-1 - 1 b-n.

[0021] Next, actuation of this example is explained with drawing 3. The transmission signal waveform diagram of input-side transmission-line 1a-1 - 1a-n is shown in drawing 3 (A). In P-1, the transmission signal of input-side transmission-line 1a-1 and P-2 show the transmission signal of input-side transmission-line 1a-2, and P-n shows the transmission signal of input-side transmission-line 1a-n. In a transmission signal P-1 and a transmission signal P-2, it is tau 1. The gap has arisen. Moreover, in a transmission signal P-2 and transmission-signal P-n, it is tau 2. The gap has arisen.

[0022] First, time of day t0 If a transmission signal P-1 becomes "H" from "L", the output of EXOR2a-1 will detect this, and as shown in drawing 3 (B) P-1', it will serve as "H" from "L". If the output of EXOR2a-1 serves as "H" from "L", the output of OR-gate 2b will serve as "H" from "L", as similarly shown in drawing 3 (C) a. if the output of OR-gate 2b becomes "H" from "L" -- delay circuit 3a -- time amount tau 1 only -- it is delayed -- having -- time of day t1 The output of delay circuit 3a is set to "L" from "H", as shown in drawing 3 (C) b. therefore, NAND gate 3b is shown in drawing 3 (C) c -- as -- time-of-day t0 -t1 Time amount tau 0 only -- the trigger used as "L" is generated.

[0023] The output trigger of NAND gate 3b is frequency simplification circuit 3c, and acquires a sinusoidal signal as shown in drawing 3 (D). Limiter amplifier 3d, the output signal of frequency simplification circuit 3c is limited on the level of the one half of maximum amplitude, and the clock pulse signal which serves as "H" from "L" at time of day tau 1 as shown in drawing 3 (B) is generated.

[0024] A clock pulse signal is supplied to D flip-flop 4-1 - 4-n. At D flip-flop 4-1 - 4-n, the transmission signal P-1 of drawing 3 (A), P-2 - P-N are hit again in the standup of a clock signal, as shown in drawing 3 (F), it corresponds to the standup of transmission-signal **, and it is time of day t1. Output transmission-signal P-1" which starts is outputted, and transmission-signal P-2" which falls at time of day t1 corresponding to falling of transmission-signal ** is outputted. Therefore, the standup of a transmission signal P-1 and falling of a transmission signal P-2 which should synchronize can be made in agreement. In addition, it is tau 3 at this time. It separates and is tau 1. It is necessary to set up greatly.

[0025] Moreover, it is time of day t2 by the same actuation. It is time of day t3 about falling of a transmission signal P-1 and the standup of transmission-signal P-n which should synchronize. It can be made in agreement. At this time, it shifts to the transmission signal P-1 of transmission-signal P-n, and is tau 2. tau 3 It needs to be small.

[0026] the transmission signal P-1 which progressed most as mentioned above among the transmission signals of input-side transmission-line 1a-1 - 1-n according to this example -- detecting -- a transmission signal P-1 -- the gap tau 1 between transmission signals, and tau 2 The big amount tau 3 of delay only -- the delayed clock is generated and all transmission signals are synchronized by hitting all the transmission signals P-1 - P-n again with this clock. Since the slight gate can constitute a circuit from this example as shown in drawing 2, skew correction becomes cheaply possible.

[0027] Drawings 4 shows the circuitry Fig. of the 2nd example of this invention. The same sign is given to the same component among this drawing, and the explanation is omitted.

[0028] In this example, it is what constituted the delay circuit which consists of odd inverter 3a-1 - 3a-n of drawing 2 from delay circuit 3e which consists of resistance R and a capacitor C, and the actuation becomes the same as that of the circuit of drawing 2. However, according to this example, since it can constitute from resistance R and a capacitor C, delay circuit 3e can be constituted still more cheaply.

[0029] Drawings 5 shows the block block diagram of the 3rd example of this invention. The same sign is given to the same component as drawing 1 among this drawing, and the explanation is omitted.

[0030] As for this example, the configuration of the detection means 2 and the amendment signal generation means 3 differs from the thing of the 1st example and the 2nd example. The detection means 2 of this example consists of 2d of adder circuits adding the output of differential circuit 2c-1 connected to each input transmission-line 1a-1-1a-n - 2c-n, and differential circuit 2c-1 - 2c-n. The circuitry Fig. of differential circuit 2c-1 - 2c-n is shown in drawing 6. Differential circuit 2c-1 - 2c-n is a capacitor C2 and connection R2, as shown in drawing 6. It becomes and the edge of the transmission signal of input transmission-line 1a-1 - 1a-n is detected. The circuitry Fig. of 2d of adder circuits is shown in drawing 7. 2d of adder circuits is resistance R3-1 - R3-n, R4, and an operational amplifier OP1. It

becomes. resistance R3-1 - R3-n **** -- the output of differential circuit 2c-1 - 2 c-n connects with the one pons -- having -- other pontes -- operational amplifier OP1 It connects with a non-inversed input terminal.

[0031] Operational amplifier OP1 Resistance R4 Constituting the non-inversed amplifying circuit, the output of differential circuit 2c-1 - 2 c-n is amplified and outputted.

[0032] The output of 2d of adder circuits is inputted into the amendment signal generation means 3 as an output of the detection means 2. The amendment signal generation means 3 consists of rectifier-circuit 3e, 3f of frequency simplification circuits, and 3g of limiter circuits. The circuitry Fig. of rectifier-circuit 3e is shown in drawing 8. Rectifier-circuit 3e is PNP transistor Q1 and Q2. And resistance R5 and R6 Becoming current Miller circuit 3e-1 and NPN transistor Q3, and PNP transistor Q4 It becomes.

[0033] Current Miller circuit 3e-1 is PNP transistor Q1. The base and a collector, and PNP transistor Q2 The base is connected and it is PNP transistor Q1. In an emitter, it is resistance R5. It minds and is PNP transistor Q2. In an emitter, it is resistance R6. It minds and a constant voltage Vcc is impressed, respectively.

[0034] PNP transistor Q1 A collector is NPN transistor Q3. It connects with a collector and is NPN transistor Q3. An emitter is PNP transistor Q4. It connects with an emitter and is NPN transistor Q3. An emitter and PNP transistor Q4 An input terminal TIN is connected at a node with an emitter. Output terminal TOUT PNP transistor Q4 A collector and PNP transistor Q2 It connects with a collector. NPN transistor Q3 PNP transistor Q4 Reference voltage Vref is impressed to the base and it is NPN transistor Q3. And PNP transistor Q4 It responds to input voltage, and turns on and turns off.

[0035] Rectifier-circuit 3e is a transistor Q3 at the time of a low level with input voltage lower than reference voltage. ON and transistor Q4 It becomes off and an output becomes high-level, and when [when input voltage is higher than reference voltage] high-level, it is a transistor Q3. OFF and transistor Q4 It becomes ON and an output becomes high-level, and when input voltage is equal to reference voltage, it is a transistor Q3 and Q4. Both, it is off and an output serves as a low level.

[0036] The output of rectifier-circuit 3e is inputted into 3f of frequency simplification circuits. 3f of frequency simplification circuits outputs the sinusoidal signal according to the output pulse of rectifier-circuit 3e. The output sine wave signal of 3f of frequency simplification circuits is used as pulse shape by 3g of limiter circuits, and is supplied to the amendment means 4, and as mentioned above, the amendment means 4 hits the transmission signal of input-side transmission-line 1a-1 - 1 a-n again, and outputs it to output side transmission-line 1b-1 - 1 b-n.

[0037] Next, actuation is explained with drawing 9. An input of a pulse signal as shown in input-side transmission-line 1a-1 - 1 a-n at drawing 9 (A) obtains an output as shown in drawing 9 (B) as an output of differential circuit 2c-1 - 2 c-n.

[0038] Next, the output of differential circuit 2c-1 - 2 c-n as shown in drawing 9 (B) is added by 2d of adder circuits, and serves as a signal as shown in drawing 9 (C). It is rectified by rectifier-circuit 3e and the output of 2d of adder circuits shown in drawing 9 (C) is made into a signal as shown in drawing 9 (D). 3f of frequency simplification circuits generates the sinusoidal signal of the frequency according to a signal as are shown in drawing 9 (B) and shown in drawing 9 (D) corresponding to the edge of the input pulse signal of drawing 9 (A). Let the sinusoidal signal shown in drawing 9 (E) generated in 3f of frequency simplification circuits be the pulse signal shown in drawing 9 (F) by 3g of emitter circuits. drawing 9 -- (-- E --) -- being shown -- a pulse signal -- amendment -- a means -- four -- constituting -- a D flip-flop -- four - one - four - n -- clocked into -- supplying -- having -- drawing 9 -- (-- F --) -- being shown -- a pulse signal -- a standup -- an input side -- a transmission signal -- P - one - P-n -- hitting again -- drawing 9 -- (-- G --) -- being shown -- as -- transmission -- a pulse -- P - one -- " - P-n -- " -- generating -- output side transmission-line 1b-1 - 1 b-n -- outputting . The same effectiveness as the 1st and 2nd example is acquired by the above.

[0039]

[Effect of the Invention] Since the skew between two or more transmission lines can be amended like **** according to this invention, without using the clock signal of dedication etc., it has the features that an amendment circuit is cheaply realizable with an easy configuration etc.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A detection means to detect the edge of one transmission signal from the edge which should serve as the same timing of two or more transmission signals which transmit a parallel transmission way (1-1 - 1-n) (2), An amendment signal generation means to generate the amendment signal according to the period of the edge detected with this detection means (2) (3), The skew correction circuit characterized by having an amendment means (4) to make it synchronize with the amendment signal generated with said amendment signal generation means (3), and to carry out the coincidence output of the edge of two or more of said transmission signals, respectively.

[Claim 2] Said detection means (2) is a skew correction circuit according to claim 1 characterized by detecting the edge first generated among the edges which should serve as the same timing of the transmission signals of each transmission line of said parallel transmission way (1-1 - 1-n).

[Claim 3] Said amendment signal generation means (3) is a skew correction circuit according to claim 1 or 2 characterized by having the delay circuit which delays said amendment signal.

[Claim 4] Said amendment means (4) is [claim 1 characterized by constituting from a flip-flop which made said transmission signal the data input and made said amendment signal clocked into thru/or] a skew correction circuit given in any 1 term among 3.

[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-54016

(43)公開日 平成6年(1994)2月25日

(51)Int.Cl.⁵

H 0 4 L 29/00

7/02

識別記号

庁内整理番号

F I

技術表示箇所

8020-5K

H 0 4 L 13/ 00

S

7928-5K

7/ 02

Z

審査請求 未請求 請求項の数4(全 9 頁)

(21)出願番号 特願平4-206788

(22)出願日 平成4年(1992)8月3日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 梅田 定美

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 西園 和則

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 船木 哲司

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 伊東 忠彦

最終頁に続く

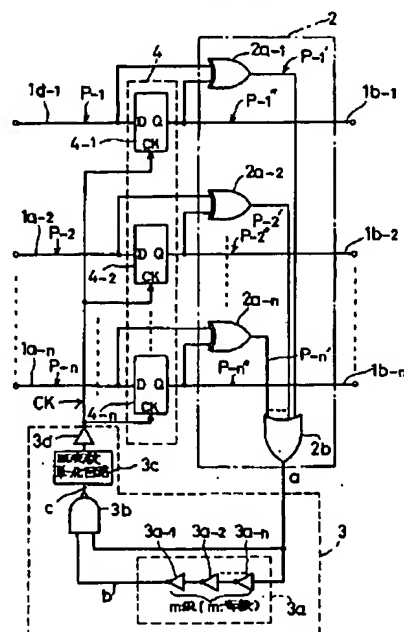
(54)【発明の名称】 スキュー補正回路

(57)【要約】

【目的】 並列型伝送路の伝送路間のスキューを補正するスキュー補正回路に関し、簡単な構成で、並列伝送路間のスキューの補正を行なえるスキュー補正回路を提供することを目的とする。

【構成】 EXORゲート14-1～14-nにより各伝送路11-1～11-nのエッジを検出し、ORゲート15を介して検出回路16に入力することにより最初に発生したエッジを遅延させた信号を生成し、周波数単一化回路17、リミッタアンプ18によりクロック信号を生成し、伝送路11-1～11-nをデータ入力とするDフリップフロップ12-1～12-nのクロック入力として供給する。

本発明の第1実施例の回路構成図



1

【特許請求の範囲】

【請求項1】 並列伝送路(1-1~1-n)を送信する複数の伝送信号のうちの同一タイミングとなるべきエッジから一つの伝送信号のエッジを検出する検出手段(2)と、該検出手段(2)で検出されたエッジの周期に応じた補正信号を生成する補正信号生成手段(3)と、前記補正信号生成手段(3)で生成された補正信号に同期させて、前記複数の伝送信号のエッジを夫々一致出力させる補正手段(4)とを有することを特徴とするスキュー補正回路。

【請求項2】 前記検出手段(2)は前記並列伝送路(1-1~1-n)の各伝送路の伝送信号のうちの同一タイミングとなるべきエッジのうち最初に発生するエッジを検出することを特徴とする請求項1記載のスキュー補正回路。

【請求項3】 前記補正信号生成手段(3)は前記補正信号を遅延させる遅延回路を有することを特徴とする請求項1又は2記載のスキュー補正回路。

【請求項4】 前記補正手段(4)は前記伝送信号をデータ入力とし、前記補正信号をクロック入力としたフリップフロップより構成することを特徴とする請求項1乃至3のうちのいずれか一項記載のスキュー補正回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はスキュー補正回路に係り、特に並列型伝送路の伝送路間のスキューを補正するスキュー補正回路に関する。

【0002】 計算機、交換機等の情報機器ではデータリンクを形成するために並列信号線路が用いられている。

【0003】 また、近年の情報機器のインターフェイスの高速化、大容量化のデータ転送に伴い、伝送線路として光アレイリンク等の伝送路が用いられている。

【0004】 光アレイリンク等の伝送路では、電気から光に、光から電気に変換後の並列伝送路間のスキュー(ずれ)が問題とされる。並列伝送路を用いた情報機器では並列伝送路間のスキューにより確実なデータ伝送ができなくなってしまうため、伝送路間のスキューをキャンセルする必要がある。

【0005】

【従来の技術】 従来、光アレイリンク等の並列伝送路では伝送路間のスキューを減少させるため、電気から光、及び、光から電気に変換するIC(集積回路)レンズ、コネクタ等の製造ばらつきをできるだけ少なくするようにしていた。

【0006】 また、もう一つの方法として伝送路とは別にクロック専用線を設けておき、クロック専用線で伝送されるクロック信号により伝送路の伝送信号を打ち直してスキューの補正を行っていた。

【0007】

【発明が解決しようとする課題】 しかるに、従来、並列

2

伝送路間のスキューを減少させようとする場合、光電変換器等の各装置の製造バラツキを減少させる方法を用いると製造管理の条件を厳しくしなければならないため、装置の歩留りが低下してしまう。

【0008】 また、クロック専用線を用いてクロックを送信データと共に伝送し、伝送されたクロックによりデータを打ち直しスキューを減少させる方法ではデータ伝送路の他にクロック専用線を必要とするため、システムが高価なものになってしまう等の問題点があった。

10 【0009】 本発明は上記の点に鑑みてなされたもので、簡単な構成で、並列伝送路間のスキューの補正を行なえるスキュー補正回路を提供することを目的とする。

【0010】

【課題を解決するための手段】 図1は本発明の原理構成図を示す。検出手段2は、並列伝送路1-1~1-nを送信する複数の伝送信号のうちの同一タイミングとなるべきエッジから一つの伝送信号のエッジを検出する。

【0011】 補正信号生成手段3は、検出手段2で検出されたエッジの周期に応じた補正信号を生成する。

20 【0012】 補正手段4は、前記補正信号生成手段3で生成された補正信号に同期させて、前記複数の伝送信号のエッジを夫々一致出力させる。

【0013】

【作用】 伝送信号のうち同一タイミングで発生されるべきエッジより一つのエッジを検出し、この検出エッジのタイミングに応じて補正信号を生成し、生成された一の補正信号に同期させて伝送信号のエッジを一致させる。このため、エッジ間で生じるずれを補正信号に同期したタイミングに一致させることができる。

【0014】

【実施例】 図2は本発明の第1実施例の構成図を示す。同図中、1a-1~1a-nは入力側伝送路を示す。入力側伝送路1a-1~1a-nはスキュー補正手段4を介して出力側伝送路1b-1~1b-nと接続される。スキュー補正手段4は伝送路11-1~11-nに対応したDフリップフロップ4-1~4-nよりなる。

【0015】 入力側伝送路1a-1~1a-nはDフリップフロップ4-1~4-nのデータ入力端子Dと接続され、出力側伝送路1b-1~1b-nはDフリップフロップ4-1~4-nの出力Qと接続される。Dフリップフロップ4-1~4-nのクロック端子に同一のクロックを供給することにより入力側伝送路1a-1~1a-nの伝送信号が打ち直され、出力側伝送路1b-1~1b-nに出力され、各伝送路11-1~11-n間の同期をとる構成とされている。入力側伝送路1a-1~1a-nと、出力側伝送路1b-1~1b-nとは検出手段2に接続される。検出手段2はEXORゲート2a-1~2a-n、ORゲート2bよりなり、EXORゲート2a-1の入力には入力側伝送路1a-1と出力側伝送路1b-1が接続され、EXORゲート2a-2の入力には入力側伝送路1a-2と出力側伝送路1b-2が接続

50

3

され、同様にEXORゲート2a-nの入力には入力側伝送路1a-nと出力側伝送路1b-nが接続される。EXORゲート2a-1~2a-nは入力が互いに等しくないときに出力は“H”となり、入力が互いに等しいときに出力は“L”となるゲートで、同一伝送路1a-1, 1b-1; 1a-2, 1b-2; 1a-n, 1b-nの信号に変化(“L”→“H”, “H”→“L”)があったときに出力が“H”となる。

【0016】EXORゲート2a-1~2a-nにより、各伝送路1a-1~1a-nの伝送信号のタイミングを検出で

【0017】EXORゲート2a-1~2a-nの出力はORゲート2bに入力される。ORゲート2bによりEXORゲート2a-1~2a-nの出力のうち一番最初に変化した出力を検出する。ORゲート2bの出力は補正信号生成手段3に供給される。

【0018】補正信号生成手段3は遅延回路3a, NANDゲート3b, 周波数単一化回路3c, リミッタンプ3dよりなる。遅延回路3aは奇数段のインバータ3a-1, 3a-m(m; 奇数)を直列接続してなる。ORゲ

【0019】NANDゲート3bにより遅延回路3aによる一定の遅延時間だけ遅延したトリガーを生成する。NANDゲート3bの出力は周波数単一化回路3cに供給される。

【0020】周波数単一化回路3cはフィルタ、タンク回路、PLL(Phase Locked Loop)回路等により構成され、NANDゲート3bの出力トリガの周波数を単一化して出力する。周波数単一化回路3cの出力はリミッタンプ3dに供給され、パルス信号化される。リミッタンプ3dの出力パルス信号はクロック信号として各伝送路1a-1~1a-n(伝送路13-1~13-n)に設けられたDフリップフロップ4-1~4-nのクロック端子に入力される。従って、Dフリップフロップ4-1~4-nでは各入力側伝送路1a-1~1a-nの伝送信号を同一のクロックにより打ち直し、出力側伝送路1b-1~1b-nより出力する。

【0021】次に図3と共に本実施例の動作を説明する。図3(A)に入力側伝送路1a-1~1a-nの伝送信号波形図を示す。P-1は入力側伝送路1a-1の伝送信号、P-2は入力側伝送路1a-2の伝送信号、P-nは入力側伝送路1a-nの伝送信号を示す。伝送信号P-1と伝送信号P-2とは τ_1 なるずれが生じている。また、伝送信号P-2と伝送信号P-nとは τ_2 なるずれが生じている。

【0022】まず、時刻 t_0 で伝送信号P-1が“L”から“H”になると、EXOR2a-1の出力はこれを検出し、図3(B)P-1'に示すように“L”から“H”となる。EXOR2a-1の出力が“L”から

4

“H”となるとORゲート2bの出力は同様に図3(C)aに示すように“L”から“H”となる。ORゲート2bの出力が“L”から“H”になると遅延回路3aにより時間 τ_1 だけ遅延され時刻 t_1 で遅延回路3aの出力は図3(C)bに示すように“H”から“L”となる。従って、NANDゲート3bは図3(C)cに示すように、時刻 $t_0 \sim t_1$ の時間 τ_0 だけ“L”となるトリガを発生する。

【0023】NANDゲート3bの出力トリガは周波数単一化回路3cで、図3(D)に示すような正弦波信号を得る。リミッタンプ3dは周波数単一化回路3cの出力信号を最大振幅の半分のレベルでリミットし、図3(B)に示すように時刻 τ_1 で“L”から“H”となるクロックパルス信号を生成する。

【0024】クロックパルス信号はDフリップフロップ4-1~4-nに供給される。Dフリップフロップ4-1~4-nでは図3(A)の伝送信号P-1, P-2~P-nをクロック信号の立ち上がりで打ち直し、図3(F)に示すように伝送信号①の立ち上がりに対応して時刻 t_1 で立ち上がる出力伝送信号P-1'が出力され、伝送信号②の立ち下がりに対応して時刻 t_1 で立ち下がる伝送信号P-2'を出力する。従って、同期すべき伝送信号P-1の立ち上がりと伝送信号P-2の立ち下がりとを一致させることができる。なおこのとき、 τ_3 は τ_1 より大きく設定する必要がある。

【0025】また、同様な動作により時刻 t_2 で同期すべき伝送信号P-1の立ち下がり伝送信号P-nの立ち上がりとを時刻 t_3 で一致させることができる。このとき、伝送信号P-nの伝送信号P-1に対するずれ τ_2 は τ_3 より小さい必要がある。

【0026】以上のように本実施例によれば、入力側伝送路1a-1~1a-nの伝送信号のうち最も進んだ伝送信号P-1を検出し、伝送信号P-1を伝送信号間のずれ τ_1 , τ_2 より大きな遅延量 τ_3 だけ遅延したクロックを生成し、このクロックによりすべての伝送信号P-1~P-nを打ち直すことによりすべての伝送信号を同期させている。本実施例では図2に示すようにわずかなゲートにより回路を構成できるため、安価にスキュー補正が可能となる。

【0027】図4は本発明の第2の実施例の回路構成図を示す。同図中、同一構成部分には同一符号を付し、その説明は省略する。

【0028】本実施例では図2の奇数個のインバータ3a-1~3a-nよりなる遅延回路を抵抗R及びコンデンサCよりなる遅延回路3eで構成したもので、その動作は図2の回路と同一となる。ただし、本実施例によれば、遅延回路3eは抵抗R及びコンデンサCだけで構成できるため、さらに安価に構成できる。

【0029】図5は本発明の第3実施例のブロック構成図を示す。同図中、図1と同一構成部分には同一符号を

付し、その説明は省略する。

【0030】本実施例は第1実施例、第2実施例のものとは検出手段2及び補正信号生成手段3の構成が異なる。本実施例の検出手段2は各入力伝送路1 a-1~1 a-nに接続された微分回路2 c-1~2 c-n、微分回路2 c-1~2 c-nの出力を加算する加算回路2 dよりなる。図6に微分回路2 c-1~2 c-nの回路構成図を示す。微分回路2 c-1~2 c-nは図6に示すようにコンデンサC₂、接続R₂よりなり、入力伝送路1 a-1~1 a-nの伝送信号のエッジを検出する。図7に加算回路2 dの回路構成図を示す。加算回路2 dは抵抗R₃₋₁~R_{3-n}、R₄、オペアンプOP₁よりなる。抵抗R₃₋₁~R_{3-n}にはその一橋に微分回路2 c-1~2 c-nの出力が接続され、他橋はオペアンプOP₁の非反転入力端子に接続される。

【0031】オペアンプOP₁は抵抗R₄と共に非反転増幅回路を構成して、微分回路2 c-1~2 c-nの出力を増幅して出力する。

【0032】加算回路2 dの出力は検出手段2の出力として補正信号生成手段3に入力される。補正信号生成手段3は整流回路3 e、周波数単一化回路3 f、リミッタ回路3 gよりなる。図8に整流回路3 eの回路構成図を示す。整流回路3 eはPNPトランジスタQ₁、Q₂及び抵抗R₅、R₆よりなるカレントミラー回路3 e-1とNPNトランジスタQ₃、PNPトランジスタQ₄とよりなる。

【0033】カレントミラー回路3 e-1はPNPトランジスタQ₁のベース及びコレクタとPNPトランジスタQ₂のベースとが接続され、PNPトランジスタQ₁のエミッタには抵抗R₅を介して、また、PNPトランジスタQ₂のエミッタには抵抗R₆を介して定電圧V_{cc}が夫々印加される。

【0034】NPNトランジスタQ₃のコレクタはNPNトランジスタQ₃のコレクタに接続され、NPNトランジスタQ₃のエミッタはPNPトランジスタQ₄のエミッタと接続され、NPNトランジスタQ₃のエミッタとPNPトランジスタQ₄のエミッタとの接続点に出力端子T_{OUT}が接続される。出力端子T_{OUT}はPNPトランジスタQ₄のコレクタ及びPNPトランジスタQ₂のコレクタに接続される。NPNトランジスタQ₃とPNPトランジスタQ₄のベースには基準電圧V_{ref}が印加され、NPNトランジスタQ₃及びPNPトランジスタQ₄は入力電圧に応じてオン、オフする。

【0035】整流回路3 eは入力電圧が基準電圧より低いローレベルのときはトランジスタQ₃がオン、トランジスタQ₄がオフとなり出力はハイレベルとなり、入力電圧が基準電圧より高いハイレベルのときはトランジスタQ₃がオフ、トランジスタQ₄がオンとなり出力はハイレベルとなり、入力電圧が基準電圧と等しいときはトランジスタQ₃、Q₄共にオフで、出力はローレベルと

なる。

【0036】整流回路3 eの出力は周波数単一化回路3 fに入力される。周波数単一化回路3 fは整流回路3 eの出力パルスに応じた正弦波信号を出力する。周波数単一化回路3 fの出力正弦波信号はリミッタ回路3 gにより、パルス波形とされ、補正手段4に供給され、補正手段4は前述したように入力側伝送路1 a-1~1 a-nの伝送信号を打ち直して出力側伝送路1 b-1~1 b-nに出力する。

10 【0037】次に、図9と共に動作を説明する。入力側伝送路1 a-1~1 a-nに図9(A)に示すようなパルス信号が入力されると、微分回路2 c-1~2 c-nの出力として図9(B)に示すような出力が得られる。

【0038】次に図9(B)に示すような微分回路2 c-1~2 c-nの出力は加算回路2 dにより加算され、図9(C)に示すような信号となる。図9(C)に示す加算回路2 dの出力は整流回路3 eにより整流され、図9(D)に示すような信号とされる。周波数単一化回路3 fは図9(B)に示すように図9(A)の入力パルス信号のエッジに対応した図9(D)に示すような信号に応じた周波数の正弦波信号を生成する。周波数単一化回路3 fで生成された図9(E)に示す正弦波信号はエミッタ回路3 gにより図9(F)に示すパルス信号とされる。図9(E)に示すパルス信号は補正手段4を構成するDフリップフロップ4-1~4-nのクロック入力に供給され、図9(F)に示すパルス信号の立ち上がりで入力側伝送信号P-1~P-nを打ち直して、図9(G)に示すような伝送パルスP-1'~P-n'を生成して出力側伝送路1 b-1~1 b-nに出力する。以上により第1、第2実施例と同様な効果が得られる。

【0039】

【発明の効果】上述の如く、本発明によれば、専用のクロック信号等を用いずに複数の伝送路間のスキューを補正できるため、簡単な構成で安価に補正回路が実現できる等の特長を有する。

【図面の簡単な説明】

【図1】本発明の原理構成図である。

【図2】本発明の第1実施例の回路構成図である。

【図3】本発明の第1実施例の動作波形図である。

【図4】本発明の第2実施例の回路構成図である。

【図5】本発明の第3実施例の回路構成図である。

【図6】本発明の第3実施例の微分回路の回路構成図である。

【図7】本発明の第3実施例の加算器の回路構成図である。

【図8】本発明の第3実施例の整流回路の回路構成図である。

【図9】本発明の第3実施例の動作波形図である。

【符号の説明】

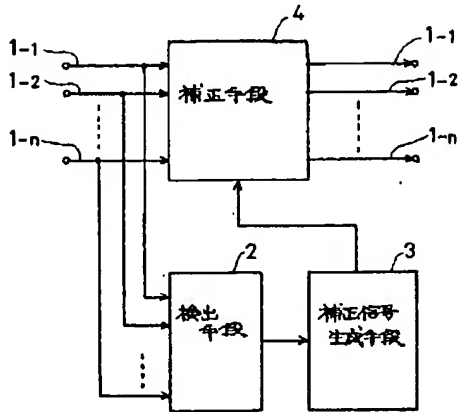
1-1~1-n 伝送路

- 2 検出手段
3 補正信号生成手段

- 4 補正手段

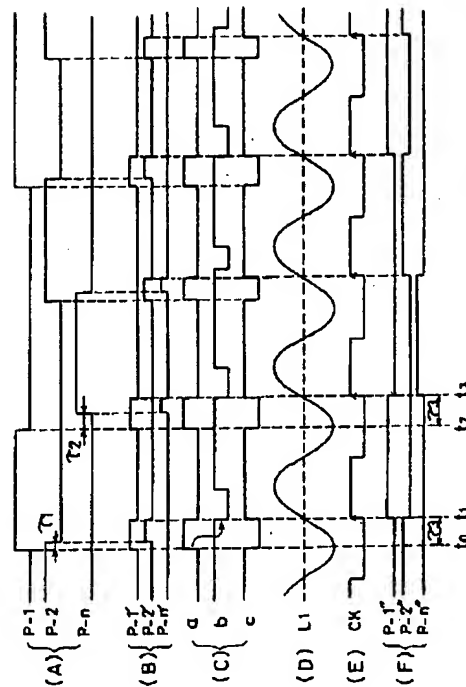
【図1】

本発明の原理構成図



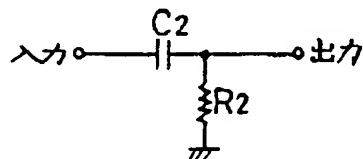
【図3】

本発明の第1実施例の動作波形図



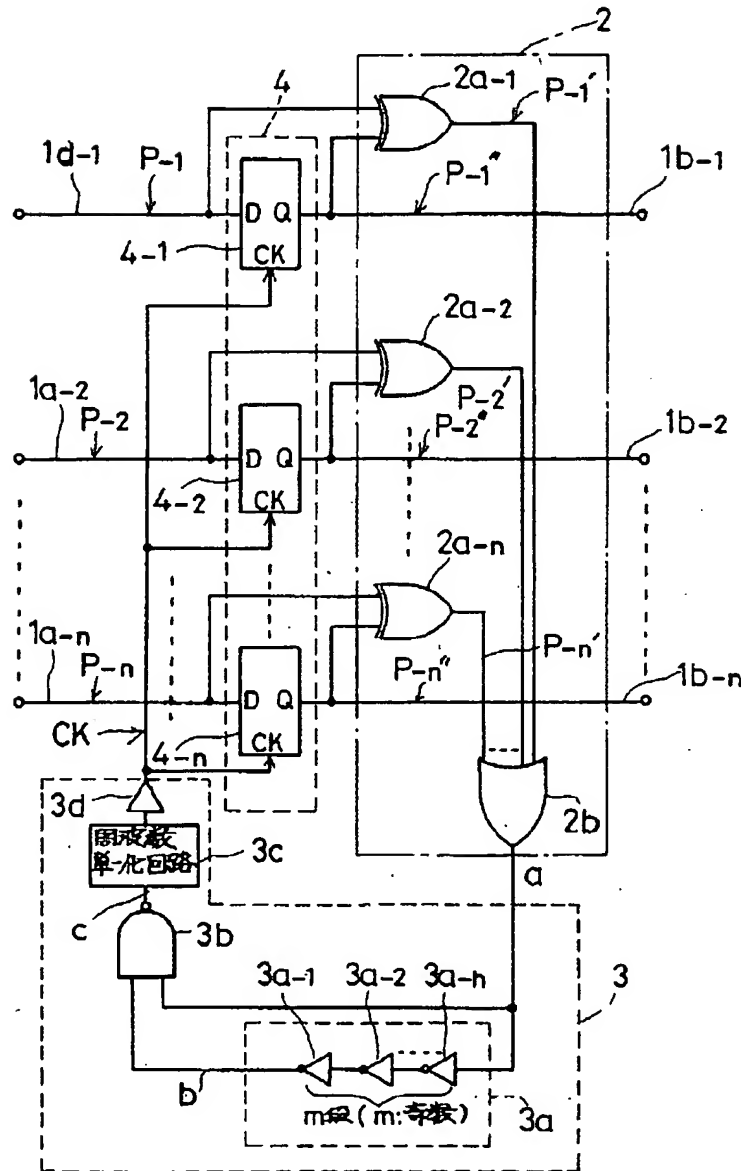
【図6】

本発明の第3実施例の微分回路の回路構成図



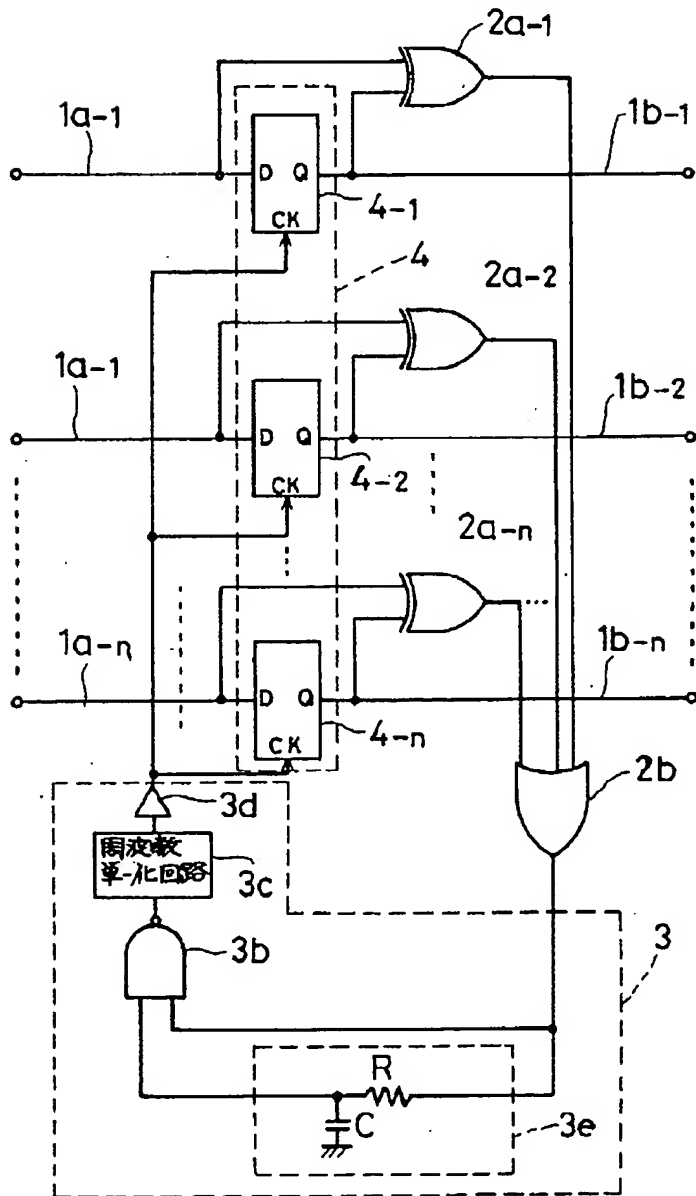
【図2】

本発明の第1実施例の回路構成図



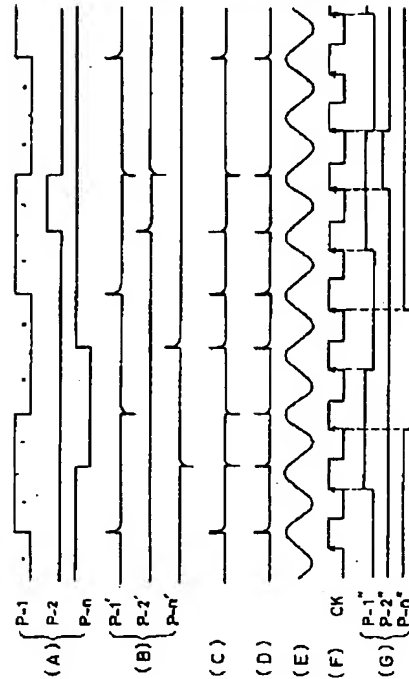
【図4】

本発明の第2実施例の回路構成図



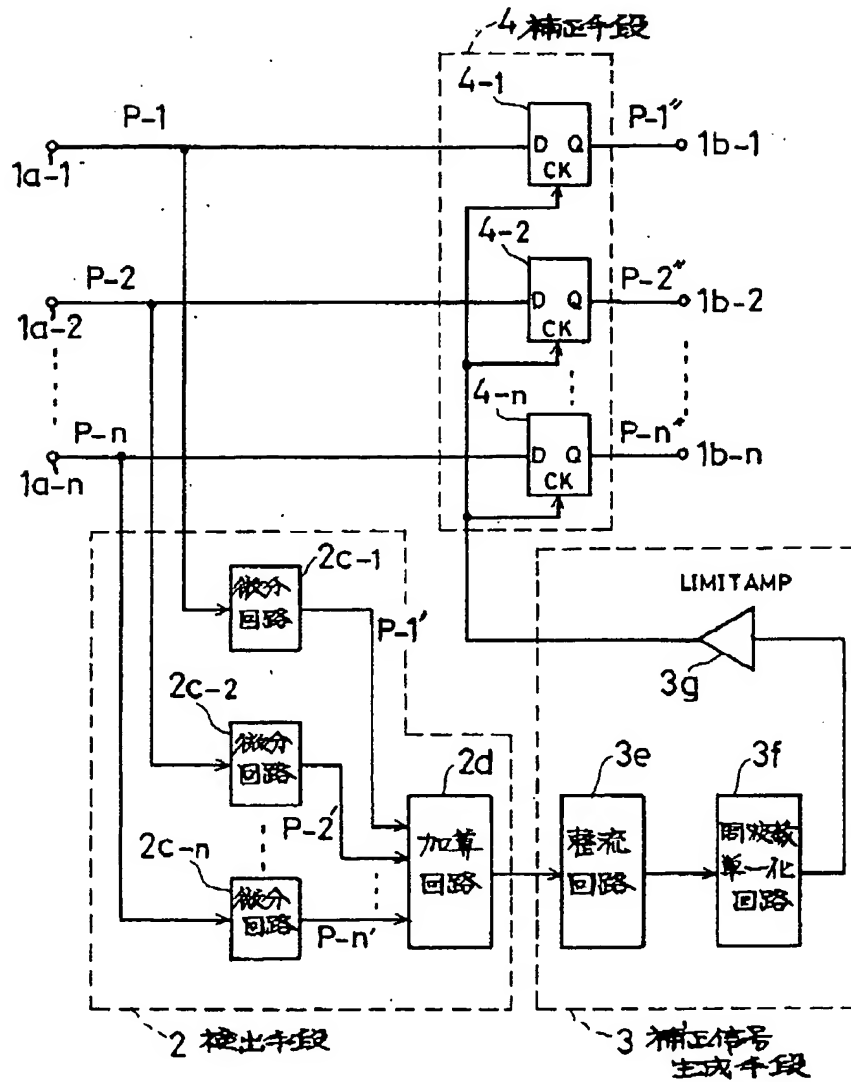
【図9】

本発明の第3実施例の動作波形図



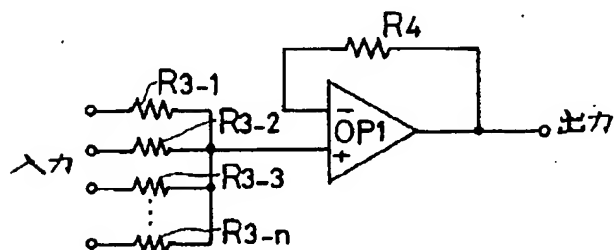
【図5】

本発明の第3実施例の構成図



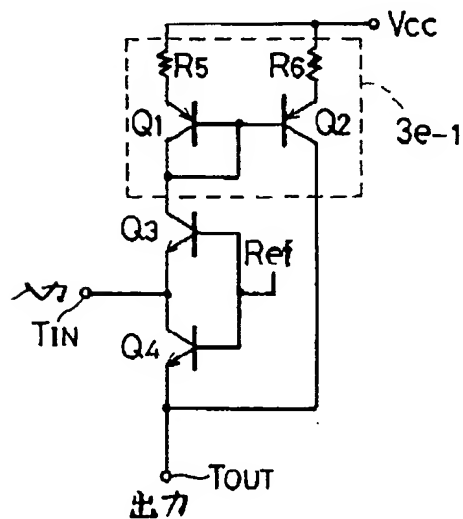
【図7】

本発明の第3実施例の加算回路の回路構成図



【図8】

本発明の第3実施例の整流回路の回路構成図



フロントページの続き

(72)発明者 田中 裕計
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内